

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-234472
(P2003-234472A)

(43) 公開日 平成15年8月22日 (2003.8.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 R 4 M 1 0 4
21/28	3 0 1	29/78	3 0 1 B 5 F 1 4 0
21/336			3 0 1 G
29/423			3 0 1 P
29/49		29/58	G

審査請求 未請求 請求項の数20 O L (全 11 頁)

(21) 出願番号 特願2002-369365(P2002-369365)

(22) 出願日 平成14年12月20日 (2002. 12. 20)

(31) 優先権主張番号 1 0 / 0 7 2 , 2 4 8

(32) 優先日 平成14年2月7日 (2002. 2. 7)

(33) 優先権主張国 米国 (US)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 ヤンジェン マー

アメリカ合衆国 ワシントン 98103,

シアトル, ノース 34ディーエイチ ス

トリート 501

(74) 代理人 100078282

弁理士 山本 秀策 (外2名)

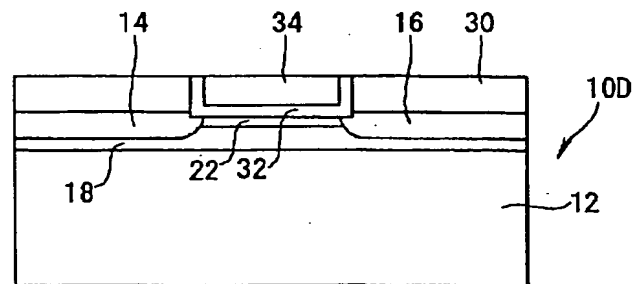
最終頁に続く

(54) 【発明の名称】 トランジスタおよびその製造方法、半導体装置およびその製造方法

(57) 【要約】

【課題】 ゲート誘電体へのゲルマニウムの拡散を大幅に低減するかまたは防止する。

【解決手段】 集積回路用の酸化金属半導体 (MOS) トランジスタは、ゲート領域およびゲート領域に位置するゲート誘電体層 32 を含む。このゲート誘電体層 32 において、エピタキシャル $\text{Si}_{1-x}\text{Ge}_x$ 合金層 18 からゲート誘電体層 32 に拡散するゲルマニウムは実質的にはない。この方法では、ダミー置換ゲートを堆積する工程と、素子を高温処理にかけける工程と、ダミーゲート 28A を除去する工程と、その後、ゲート領域内に、ゲート誘電体層 32 となる誘電体材料および最終的なゲート材料を堆積する工程とを含む。このように、ゲート誘電体層 32 となる誘電体材料が素子の高温処理後に堆積されるので、誘電体材料に拡散するゲルマニウムは無視できる量となる。



1

【特許請求の範囲】

【請求項1】 ソースとドレインとの間に位置するゲートを含む活性領域と、
該活性領域に組み込まれるシリコンゲルマニウム層と、
該ゲートとシリコンゲルマニウム層との間に位置する誘電体層とを有し、
該誘電体層は、該シリコンゲルマニウム層から該誘電体層に拡散するゲルマニウムがないように、トランジスタの熱処理後に該誘電体層が形成されるように製造されているトランジスタ。

【請求項2】 前記誘電体層が含むゲルマニウムが1パーセント未満である請求項1に記載のトランジスタ。

【請求項3】 前記誘電体層の厚さが、少なくとも誘電体が存在するように100nm以下の範囲内である請求項1に記載のトランジスタ。

【請求項4】 前記誘電体層が、酸化タンタル(Ta_2O_5)、酸化チタン(TiO_2)、酸化ジルコニウム(ZrO_2)、酸化ランタン(La_2O_3)、酸化ハフニウム(HfO_2)、酸化イットリウム(Y_2O_3)、およびこれらのケイ酸塩からなる群から選択される材料から製造されている請求項1に記載のトランジスタ。

【請求項5】 前記シリコンゲルマニウム層が、 $\text{Si}_{1-x}\text{Ge}_x$ を含み、ここで、 x が0.05~1.0の範囲内であり、該シリコンゲルマニウム層の厚さが2nm~5 μm の範囲内である請求項1に記載のトランジスタ。

【請求項6】 前記ゲートが、Pt、W、TiN、Cu、Ir、Ti、Zr、Hf、Ta、Ta₂N、WNおよびAlからなる群から選択される材料から製造されている請求項1に記載のトランジスタ。

【請求項7】 前記シリコンゲルマニウム層と誘電体層との間に位置するシリコンキャップ層をさらに備えた請求項1に記載のトランジスタ。

【請求項8】 ゲート誘電体層を設ける工程が、ゲート誘電体材料へのゲルマニウムの拡散を最小限に抑えるべく素子の高温処理後に行われるトランジスタの製造方法。

【請求項9】 基板上にシリコンゲルマニウム層を設ける工程と、
該シリコンゲルマニウム層上に素子を規定するように該基板のソース領域とドレイン領域との間に位置するダミーゲートを形成する工程と、
該素子を高温熱処理する工程と、
ゲート領域を規定するように該ダミーゲートを除去する工程と、
該ゲート領域に誘電体材料および最終的なゲート材料を設ける工程とを含む請求項8に記載のトランジスタの製造方法。

【請求項10】 前記ダミーゲートを除去する工程が、リン酸エッチングを行う工程およびプラズマエッチング

2

を行う工程からなる群から選択される工程を含む請求項9に記載のトランジスタの製造方法。

【請求項11】 前記ダミーゲートを設ける工程の前に、前記シリコンゲルマニウム層上にシリコンキャップ層を設ける工程と、該シリコンキャップ層上にダミー酸化物層を設ける工程とをさらに含むトランジスタの製造方法であって、該ダミーゲートを設ける工程は、該ダミーゲートを該ダミー酸化物層上に設ける工程を含む請求項9に記載のトランジスタの製造方法。

10 【請求項12】 前記素子を高温熱処理にかける工程の前に、前記ダミーゲートに隣接する前記ソース領域を形成する工程と、該ダミーゲートに隣接する前記ドレイン領域を形成する工程とをさらに含む請求項9に記載のトランジスタの製造方法。

【請求項13】 前記素子を高温熱処理にかける工程の前に、前記ダミーゲート上に酸化物層を設ける工程と、該素子を平面化して該ダミーゲートを露出させる工程とをさらに含む請求項9に記載のトランジスタの製造方法。

20 【請求項14】 前記ダミーゲートが、ポリシリコン、ポリシリコンゲルマニウム、および窒化シリコンからなる群から選択される材料から製造される請求項9に記載のトランジスタの製造方法。

【請求項15】 前記高温熱処理が、前記素子を摂氏700度より高い温度に1秒より長い期間さらす工程を含む請求項9に記載のトランジスタの製造方法。

【請求項16】 請求項1に記載のトランジスタを用いて構成されている半導体装置。

30 【請求項17】 高性能集積回路を製造する半導体装置の製造方法であって、
ソース領域、ドレイン領域および、該ソース領域とドレイン領域との間に位置するゲート領域を含む基板を提供する工程と、
該ゲート領域において該基板上にシリコンゲルマニウム層を設ける工程と、
該ゲート領域において該シリコンゲルマニウム層上にシリコンキャップ層を設ける工程と、
該ゲート領域において該シリコンキャップ層上にダミー酸化物層を設ける工程と、
40 該シリコンキャップ層上に素子を規定するようにダミーゲートを設ける工程と、
該素子を摂氏700度より高い温度で行われる高温熱プロセスに少なくとも1回かける工程と、
該ゲート領域においてゲート鋳型を規定するように該ダミーゲートを除去する工程と、
該ゲート鋳型において、誘電体材料および最終的なゲート材料を設ける工程とを含む半導体装置の製造方法。

【請求項18】 前記ダミーゲートを除去する工程は、該ダミーゲートおよび前記ゲート領域における前記ダミー酸化物層をエッチングする工程を含む請求項17に記

50

3

載の半導体装置の製造方法。

【請求項19】 前記素子を高温熱プロセスに少なくとも1回かける工程の前に、前記ダミーゲートに隣接する前記ソース領域を形成する工程と、該ダミーゲートに隣接する前記ドレイン領域を形成する工程と、該ダミーゲート上に酸化物層を設ける工程と、該素子を平面化して該酸化物層から該ダミーゲートを露出させる工程とをさらに含む請求項17に記載の半導体装置の製造方法。

【請求項20】 前記誘電体材料を設ける工程が、該誘電体材料を前記ゲート鑄型の下面および側壁上に設ける工程を含み、前記最終的なゲート材料を設ける工程が、該最終的なゲート材料を該誘電体材料上に設ける工程含む請求項17に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路（IC、LSI）などに用いられ、酸化金属半導体（MOS）FETなどのMOSトランジスタおよびその製造方法、これを用いて例えばCMOSトランジスタ素子などからなる半導体回路を構成する半導体装置のおよびその製造方法に関する。

【0002】

【従来の技術】 従来、シリコンゲルマニウム（ $\text{Si}_{1-x}\text{Ge}_x$ ）チャンネルを含む集積回路用の酸化金属半導体電界効果トランジスタ（MOSFET）が広く報告されている。シリコンキャップ薄層は、通常、 SiGe 層上に堆積される。このシリコンキャップは、シリコン二酸化ゲート誘電材料へのゲルマニウムの拡散を防ぎ、 SiGe p型酸化金属半導体電界効果トランジスタ（pMOSFET）においてゲート誘電体から正孔チャンネルを分離し、 SiMOSFET において高移動度電子または正孔チャンネルを形成するように機能する。

【0003】 エンハンス移動度MOSFET素子用途において、厚い、緩和 $\text{Si}_{1-x}\text{Ge}_x$ バッファ層が、NMOS素子およびPMOS素子両方のキャリア移動度を高めるための薄い張力 Si 層用の実際の基板として用いられてきた。バルク Si 素子と比較すると、有効長さが70ナノメートル（nm）未満である装置に関して、70%の電子移動度の高速化が報告された。チャンネルが長い素子の高電界正孔移動度の40%までの高速化も発見された。最も一般的な、高品質緩和 $\text{Si}_{1-x}\text{Ge}_x$ バッファ層を生成する現在の技術は、厚さが数マイクロメートルの組成を傾斜（順次変化）させた層の成長である。または、ヘリウムおよび水素を両方注入し、その後、アニーリングを行う方法も、緩和の効率を高める方法として報告されている。

【0004】 さらに、他のトランジスタ素子の構造には、 SiGe 薄層の成長、その後続く緩和 Si 薄層の成長が含まれる。この構造によって、PMOSトランジスタ素子の移動度は高められるが、NMOSトランジ

4

スタ素子の移動度は高められない。

【0005】

【発明が解決しようとする課題】 上記従来技術によるトランジスタ素子の個々の層の厚さまたは歪/非歪状態に関わらず、これらの従来技術による各プロセスの欠点は、トランジスタ素子が、シリコンキャップ層の形成後に高温処理にかけられることである。即ち、 SiGe 層が厚いか、薄いか、または、歪んでいるか、緩和しているかに関わらず、後に続く処理工程の間、その層上に重ねられている Si キャップ層および/またはチャンネルへのゲルマニウム（Ge）の拡散を最小限に抑えることが重要である。特に、後に続くゲート酸化、ゲートポリシリコン堆積およびドーパント活性化の処理の間、ゲルマニウムがシリコン二酸化ゲート誘電体材料へと常に拡散する。このゲート誘電体材料へのゲルマニウムの拡散は、トランジスタ素子の性能の低下を引き起こすという問題を有している。

【0006】 本発明は、上記従来の問題を解決するもので、ゲート誘電体へのゲルマニウムの拡散を大幅に低減するかまたは防止するMOSトランジスタおよびその製造方法、これを用いた半導体装置のおよびその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明のトランジスタは、ソースとドレインとの間に位置するゲートを含む活性領域と、該活性領域に組み込まれるシリコンゲルマニウム層と、該ゲートとシリコンゲルマニウム層との間に位置する誘電体層とを有し、該誘電体層は、該シリコンゲルマニウム層から該誘電体層に拡散するゲルマニウムがないように、トランジスタの熱処理後に該誘電体層が形成されるように製造されており、そのことにより上記目的が達成される。

【0008】 また、好ましくは、本発明のトランジスタにおける誘電体層が含むゲルマニウムが1パーセント未満である。

【0009】 さらに、好ましくは、本発明のトランジスタにおける誘電体層の厚さが、少なくとも誘電体が存在するように100nm以下の範囲内である。

【0010】 さらに、好ましくは、本発明のトランジスタにおける誘電体層が、酸化タンタル（ Ta_2O_5 ）、酸化チタン（ TiO_2 ）、酸化ジルコニウム（ ZrO_2 ）、酸化ランタン（ La_2O_3 ）、酸化ハフニウム（ HfO_2 ）、酸化イットリウム（ Y_2O_3 ）、およびこれらのケイ酸塩からなる群から選択される材料から製造されている。

【0011】 さらに、好ましくは、本発明のトランジスタにおけるシリコンゲルマニウム層が、 $\text{Si}_{1-x}\text{Ge}_x$ を含み、ここで、 x が0.05～1.0の範囲内であり、該シリコンゲルマニウム層の厚さが2nm～5 μm の範囲内である。

5

【0012】さらに、好ましくは、本発明のトランジスタにおけるゲートが、Pt、W、TiN、Cu、Ir、Ti、Zr、Hf、Ta、Ta₂N₅、WNおよびAlからなる群から選択される材料から製造されている。

【0013】さらに、好ましくは、本発明のトランジスタにおけるシリコンゲルマニウム層と誘電体層との間に位置するシリコンキャップ層をさらに備えている次に、本発明のトランジスタの製造方法は、ゲート誘電体層を設ける工程が、ゲート誘電体材料へのゲルマニウムの拡散を最小限に抑えるべく素子の高温処理後に行われるものであり、そのことにより上記目的が達成される。

【0014】また、好ましくは、本発明のトランジスタの製造方法において、基板上にシリコンゲルマニウム層を設ける工程と、該シリコンゲルマニウム層上に素子を規定するように該基板のソース領域とドレイン領域との間に位置するダミーゲートを形成する工程と、該素子を高温熱処理する工程と、ゲート領域を規定するように該ダミーゲートを除去する工程と、該ゲート領域に誘電体材料および最終的なゲート材料を設ける工程とを含む。

【0015】さらに、好ましくは、本発明のトランジスタの製造方法において、前記ダミーゲートを除去する工程が、リン酸エッチングを行う工程およびプラズマエッチングを行う工程からなる群から選択される工程を含む。

【0016】さらに、好ましくは、本発明のトランジスタの製造方法において、前記ダミーゲートを設ける工程の前に、前記シリコンゲルマニウム層上にシリコンキャップ層を設ける工程と、該シリコンキャップ層上にダミー酸化物層を設ける工程とをさらに含むトランジスタの製造方法であって、該ダミーゲートを設ける工程は、該ダミーゲートを該ダミー酸化物層上に設ける工程を含む。

【0017】さらに、好ましくは、本発明のトランジスタの製造方法において、前記素子を高温熱処理にかける工程の前に、前記ダミーゲートに隣接する前記ソース領域を形成する工程と、該ダミーゲートに隣接する前記ドレイン領域を形成する工程とをさらに含む。

【0018】さらに、好ましくは、本発明のトランジスタの製造方法において、前記素子を高温熱処理にかける工程の前に、前記ダミーゲート上に酸化物層を設ける工程と、該素子を平面化して該ダミーゲートを露出させる工程とをさらに含む。

【0019】さらに、好ましくは、本発明のトランジスタの製造方法において、前記ダミーゲートが、ポリシリコン、ポリシリコンゲルマニウム、および窒化シリコンからなる群から選択される材料から製造される。

【0020】さらに、好ましくは、本発明のトランジスタの製造方法において、前記高温熱処理が、前記素子を摂氏700度より高い温度に1秒より長い期間さらす工程を含む。

6

【0021】次に、本発明の半導体装置は、請求項1に記載のトランジスタを用いて構成されているものであり、そのことにより上記目的が達成される。

【0022】次に、本発明の半導体装置の製造方法は、高性能集積回路を製造する半導体装置の製造方法であって、ソース領域、ドレイン領域および、該ソース領域とドレイン領域との間に位置するゲート領域を含む基板を提供する工程と、該ゲート領域において該基板上にシリコンゲルマニウム層を設ける工程と、該ゲート領域において該シリコンゲルマニウム層上にシリコンキャップ層を設ける工程と、該ゲート領域において該シリコンキャップ層上にダミー酸化物層を設ける工程と、該シリコンキャップ層上に素子を規定するようにダミーゲートを設ける工程と、該素子を摂氏700度より高い温度で行われる高温熱プロセスに少なくとも1回かける工程と、該ゲート領域においてゲート鑄型を規定するように該ダミーゲートを除去する工程と、該ゲート鑄型において、誘電体材料および最終的なゲート材料を設ける工程とを含むものであり、そのことにより上記目的が達成される。

【0023】また、好ましくは、本発明の半導体装置の製造方法において、前記ダミーゲートを除去する工程は、該ダミーゲートおよび前記ゲート領域における前記ダミー酸化物層をエッチングする工程を含む。

【0024】さらに、好ましくは、本発明の半導体装置の製造方法において、前記素子を高温熱プロセスに少なくとも1回かける工程の前に、前記ダミーゲートに隣接する前記ソース領域を形成する工程と、該ダミーゲートに隣接する前記ドレイン領域を形成する工程と、該ダミーゲート上に酸化物層を設ける工程と、該素子を平面化して該酸化物層から該ダミーゲートを露出させる工程とをさらに含む。

【0025】さらに、好ましくは、本発明の半導体装置の製造方法において、前記誘電体材料を設ける工程が、該誘電体材料を前記ゲート鑄型の下面および側壁上に設ける工程を含み、前記最終的なゲート材料を設ける工程が、該最終的なゲート材料を該誘電体材料上に設ける工程を含む。

【0026】上記構成により、SiGeチャネル内でのゲート置換プロセスにおいて、ゲート誘電体が、素子の高温処理が全て終わった後に設けられるので、SiGeチャネルから拡散してくるゲート誘電材料内のゲルマニウムが大幅に低減されるかまたは防止される。

【0027】

【発明の実施の形態】以下、本発明のMOSトランジスタおよびその製造方法の各実施形態について図面を参照しながら説明する。

【0028】図1は、本発明のMOSトランジスタの製造方法の一実施形態を示す処理途中のデバイス構造10Aの断面図である。

【0029】図1において、n-シリコン基板12は、

素子分離用の酸化物層11と、酸化物層11で各素子間が絶縁された活性トランジスタ領域（ n -ウェルと p -ウェル）とを有している。この活性トランジスタ領域は、任意の最新技術によるプロセスによって製造される。当該技術において同様に公知の素子分離も行われる。これらの製造工程における一例として、 p -チャネルMOSトランジスタがある。ところが、当業者であれば理解されるように、シリコンドーパントを適切に取り換えれば、同プロセスが、 n -チャネルトランジスタに適用されて、CMOS集積回路（IC）の製造に適用される。

【0030】図2は、本発明のMOSトランジスタの製造方法の一実施形態を示す処理途中のデバイス構造10Bの断面図である。

【0031】図2において、図1のデバイス構造10A上に、エピタキシャル $Si_{1-x}Ge_x$ 合金層18が選択的に堆積される。ここで、 x は、典型的には、0.05~1.00の範囲内であるか、または、濃度勾配を含む。エピタキシャル層は、歪み、薄くなるか（典型的には、2nm~50nm）、または、緩和し、厚くなる（典型的には、200nm~5 μ m）。

【0032】その後、エピタキシャル $Si_{1-x}Ge_x$ 合金層18上に、典型的には、厚さが3~30nmの範囲内のシリコンキャップ層22が堆積される。このシリコンキャップ層22は、緩和 $SiGe$ 層上に堆積される場合は、歪み得、歪 $SiGe$ 層上に堆積される場合は、緩和し得る。

【0033】さらに、ダミーゲート酸化が行われ、ダミーゲート酸化物層26が得られる。

【0034】その後、ダミーゲート酸化物層26上にダミーゲート層28の堆積が行われる。ダミーゲート層は、ポリシリコン、ポリシリコンゲルマニウム、窒化シリコンなどを含む。ダミーゲート層28の堆積後、フォトリソグラフィ、および、ゲート酸化物のところで停止するダミーゲート層28の異方性プラズマエッチングが行われて、所定形状にパターンニングされたダミーゲート28Aが形成される。その後、ダミーゲート28A上のフォトレジスト（図示せず）が剥がされて取り除かれる。

【0035】以上の各プロセス工程によって、デバイス構造10Bとして、ソース領域14、ドレイン領域16、およびシリコンゲルマニウム層の $Si_{1-x}Ge_x$ 合金層18（ここで、 x は0.05~1.0の範囲内であり、層厚さ t_1 は2nm~5 μ mの範囲内である。）、その上のシリコンキャップ層22（ここで、層厚さ t_2 は、典型的には、3~30nmの範囲内である）、さらにその上のダミーゲート酸化物層26、さらにその上のダミーゲート28Aが順次設けられる。

【0036】図3は、本発明のMOSトランジスタの製造方法の一実施形態を示す処理途中のデバイス構造10

Cの断面図である。

【0037】図3において、まず、ソース領域14およびドレイン領域16の準備工程が実施される。この準備工程には、いくつかの方法があり、従来の軽度ドーブドレイン（LDD）処理、励起ソース/ドレイン形成、およびプラズマドーピングが含まれる。これらのプロセスは、従来技術において周知である。ケイ化物も、従来の処理によって形成される。

【0038】その後、酸化物層充填工程として、化学気相蒸着（CVD）によってその上に酸化物層30が充填される。所望の厚さは、先に堆積されたダミーゲート層28の厚さの約1.5~2.0倍である。

【0039】さらに、ダミーゲート28Aの露出平坦化工程として、ウェハは、化学機械的研磨（CMP）によって、ダミーゲート28Aが露出するまで平坦化（平面化）される。

【0040】以上の各プロセス工程によって、デバイス構造10Cとして、ソース領域14、ドレイン領域16、シリコンゲルマニウム層18、シリコンキャップ層22、酸化物層26、ダミーゲート28Aおよび酸化物層30が形成されている。この例においては、シリコン基板12は n 型シリコンであり、ソース領域14およびドレイン領域16は P +型である。

【0041】図4は、本発明のMOSトランジスタの製造方法の一実施形態を示す処理完了後のデバイス構造10Cの断面図である。なお、 p -チャネルMOSトランジスタがその一例として用いられているが、デバイス構造および製造プロセスは、 n -チャネルMOSトランジスタおよびCMOS集積回路にも適用可能である。

【0042】図4において、まず、ここでは図示していないが、ダミーゲート28Aは、高度に選択的なエッチングによって除去される。例えば、ダミーゲート28Aが窒化物から製造されている場合、加熱されたリン酸を用いてエッチングすることによってダミーゲート28Aは容易に除去される。ダミーゲート28Aがポリシリコンである場合には、高度に選択的な HF プラズマエッチング、 KOH エッチング、または水酸化アンモニウムエッチングなどが用いられ得る。ダミーゲート酸化物層26を取り除くときには、シリコンゲルマニウムチャンネルの上によく調節された厚さのシリコンキャップ層22が残るように注意する必要がある。具体的には、ダミーゲート28Aの除去後、デバイス構造上には、約3~30nmの厚さで、シリコンキャップ層22が残る必要がある。ダミーゲート酸化物層26は、例えば、 HF エッチング、 HF 浸漬、 HF 蒸気、または、任意の類似のタイプのエッチングプロセスによって除去され得る。

【0043】その後、シリコンキャップ層22が露出した上にゲート誘電体層32が堆積される。この堆積には、堆積された高誘電率材料、例えば、酸化タンタル（ Ta_2O_5 ）、酸化チタン（ TiO_2 ）、酸化ジルコ

ニウム (ZrO_2)、酸化ランタン (La_2O_3)、酸化ハフニウム (HfO_2)、酸化イットリウム (Y_2O_3)、およびこれらのケイ酸塩、並びに他のこのような材料の使用が含まれ得る。このゲート誘電体層32は、デバイス構造の高温熱処理工程が完了した後に堆積されるので、ゲート誘電体層32において、シリコンゲルマニウム層18からゲート誘電体層32へと拡散するゲルマニウムは実質的にはない。このゲルマニウムが実質的にはないまたは無視できる量のゲルマニウムとは、最終的な素子のゲート誘電体層32が含んでいるゲルマニウムが1.0%未満であることを意味する。

【0044】残りのプロセスは、「Fabrication of Planar MOSFET with Raised Source/Drain by Chemical Mechanical Polishing and Nitride Replacement」という名称の特許文献に記載のように進められる。この特許文献は、1998年2月23日に出版され、2000年10月17日に Sheng Teng Hsu および David Russell Evans に付与され、特許第6,133,106号であり、その全文を通じて本明細書中で参考として援用される。従来のポリシリコンゲート製造は、当該技術において公知である標準的な処理が行われる。

【0045】これらのプロセス工程の後、デバイス構造10Cとして完成し、ソース領域14、ドレイン領域16、シリコンゲルマニウム層18、シリコンキャップ層22、ゲート誘電率体層32、金属ゲート層34および酸化物層30を含む。

【0046】ゲート誘電率体層32の厚さは、典型的には、0~100nmの範囲内である。また、金属ゲート34およびゲート誘電率体層32は素子の高温処理工程が完了した後に堆積されるので、金属ゲート34およびゲート誘電率体層32において、シリコンゲルマニウム層18から金属ゲート34およびゲート誘電率体層32に拡散するゲルマニウムは実質的にない。したがって、完成したMOSトランジスタのデバイス構造10Cの性能は、拡散したゲルマニウムによって低下することなく、素子は高性能特性を有する。具体的には、デバイス構造10Cは、典型的には、SiGeエピタキシャル層抜きで製造された同様の素子以上の駆動電流を有する。

【0047】図5は、図4のMOSトランジスタの製造方法の各工程を示すフローチャートである。

【0048】図5に示すように、工程40は、当該技術において公知の集積回路用基板を提供する工程を含む。

【0049】工程42は、n-ウェル、p-ウェル形成および素子分離を行う工程を含む。

【0050】工程44は、ダミーゲート層28を堆積する工程を含む。

【0051】工程46は、フォトリソグラフィ、および、ゲート酸化物層26のところで停止するダミーゲート層28の異方性プラズマエッチングを行って所定形状

にダミーゲート28Aを形成する工程を含む。

【0052】工程48は、フォトレジストを剥がす工程を含む。

【0053】工程50は、ソース領域14およびドレイン領域16を形成する工程を含む。

【0054】工程52は、酸化物層30を堆積する工程およびウェハを平面化してダミーゲート28Aを露出させる工程を含む。

【0055】工程54は、エッチングによってダミーゲート28Aを除去する工程を含む。この工程54は、素子にかけられる高温熱工程が全て終わったことを示す。具体的には、高温熱処理工程は、典型的には、素子を摂氏700度より高い温度に1秒より長い期間さらす工程を含む。

【0056】工程56は、ゲート領域においてゲート誘電体層32を堆積する工程を含む。

【0057】工程58は、ゲート領域において最終的なゲート材料（金属ゲート材料34）を堆積する工程を含む。

【0058】工程60は、ソース領域14およびドレイン領域16に接続するため、酸化物層30にコンタクトホール（図示せず）を設ける工程を含む。以上の各プロセス工程によって本発明のMOSトランジスタを製造することができる。

【0059】図6は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Aの断面図である。

【0060】図6において、デバイス構造70Aは、Si基板72上に、SiGeエピタキシャル層74、シリコンキャップ層76、ゲート酸化物層78、ダミーポリシリコン層80およびゲートフォトレジスト82がこの順に設けられている。

【0061】シリコンゲルマニウム層74は、厚く（例えば、200nm~5μm）、緩和していてもよいし、薄く（例えば、2~50nm）、歪んでいてもよい。ゲルマニウム濃度は0~100%の間のある値であってもよいし、SiGeエピタキシャル層74が濃度勾配を含んでもよい。SiGeエピタキシャル層74が緩和している場合には、Siキャップ層76は張力歪を受けている。SiGeエピタキシャル層74がSi基板72に格子整合するように歪んでいる場合には、Siキャップ層76は緩和される。Siキャップ層76の厚さは、典型的には、約3~30nmである。

【0062】SiGeエピタキシャル層74およびSiキャップ層76がSi基板72上に順次形成された後、任意の公知のプロセスを用いて、n-ウェルおよびp-ウェルが形成され得る。これらのプロセス工程の後、浅いトレンチの素子分離が行われる。

【0063】次いで、その上にダミーゲート酸化物層78およびダミーゲート層80が堆積される。ダミーゲ

11

ト層80(例えばダミーポリシリコン層)は、典型的には、ポリシリコン、ポリシリコン-ゲルマニウム、または窒化シリコンである。ダミーゲート酸化物層78およびダミーゲート層80の堆積後、フォトレジスト82が塗布され、浅いトレンチの素子分離に備えて所定形状にパターンニングされる。図6に示すように、フォトレジスト82は、トランジスタ素子のゲート領域を覆い、ゲート領域上に位置する。

【0064】図7は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Bの断面図である。

【0065】図7において、ダミーゲート層80、ゲート酸化物層78、Siキャップ層76、SiGe層74を、必要に応じてSi基板72の所定位置までの異方性プラズマエッチングを行う。このように、フォトリソグラフィおよびダミーゲート層80などの異方性エッチングを行う。その後、フォトレジスト82はゲート領域から剥がされる。

【0066】図8Aは、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Cの断面図であり、図8Bは、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Dの断面図である。

【0067】まず、図8Aに示すように、デバイス構造70B上に、プラズマ増強化学気相堆積(PECVD)プロセスが用いられて、PECVD酸化物層84が堆積される。

【0068】次に、図8Bに示すように、デバイス構造70Cに対して、高濃度プラズマ(HDP)プロセスが用いられて、HDP酸化物層86が堆積される。

【0069】図9は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Dの断面図である。

【0070】図9に示すように、化学機械的研磨CMPプロセスは、ダミーゲート層80のところで停止し、ゲート領域88としてダミーゲート層80の上面が露出する。ゲート領域88以外の領域には酸化物層90が充填されて平坦化されている。

【0071】図10は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Fの断面図である。

【0072】図10に示すように、デバイス構造70Fのゲート領域を含む部分上に、第2のダミーゲート層92の堆積を形成する。第2のダミーゲート層92は、フォトレジストを用いて所定形状にパターンニングされ、ゲート領域88を覆うようにエッチングされる。具体的には、第2のダミーゲート層92はゲート領域88を完全に覆い、ダミーゲート層80と接触するように素子表面上部に位置する。

【0073】第2のダミーゲート層92には、ポリシリ

12

コン、ポリシリコン-ゲルマニウム、または窒化シリコンが含まれ得るが、典型的には、ダミーゲート層80の堆積に用いられる材料と同じ材料が用いられる。ここで説明している例においては、ダミーゲート層80および92は、両方ともポリシリコンである。このプロセス工程は、浅いトレンチの素子分離が終わったことを示している。これで、素子のダミーゲート層80の置換の準備が整う。

【0074】図11は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Gの断面図である。なお、説明の簡便化のため、図11においては、前の図10から90度回転した状態の素子断面が示され、簡略化のため、前の図10における浅いトレンチの素子分離部分は図示されていない。

【0075】図11に示すように、ゲート層94は、ダミーゲート層80および92の一部を含む。ソース領域98およびドレイン領域100の形成は、任意の公知のプロセス、例えば、従来の軽度ドーブドレイン(LDD)注入、励起ソース/ドレイン形成、およびプラズマドーピングによって行われ得る。スペーサー96は、任意の従来のプロセスを用いることによって形成される。また、ケイ化物も、任意の従来のプロセス、例えば、Maaらによる米国特許第6,071,782号および5,830,775号に教示されている技術を用いることによって形成され得る。

【0076】図12は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Hの断面図である。

【0077】図12に示すように、デバイス構造70G上に、カバー酸化物層102を堆積する。堆積されたカバー酸化物層102は、典型的には、初期的に、ダミーゲート層94の厚さの約1.5~2.0倍の厚さになるまで堆積される。この化学気相堆積酸化物充填後、ウェハは、化学機械的処理、または任意の他の適切な平坦化処理方法によって平面化されて、ダミーゲート94が露出される。

【0078】図13は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Iの断面図である。

【0079】図13に示すように、デバイス構造70Hのダミーゲート層94は、典型的には、高度に選択的なエッチングによって除去される。高度に選択的なエッチングは、摂氏100度より高い温度で、デバイス構造70Hを持つ基板部を沸騰しているリン酸に浸漬することによって、または、シリコンまたは二酸化シリコンを除去する速度より少なくとも50倍速い速度で窒化シリコンを除去する適切なプラズマエッチングプロセスによって行われ得る。

【0080】ダミーゲート酸化物層78を取り除くときには、SiGeチャネル74上によく調節された厚さの

13

シリコンキャップ層76が残るように注意する必要がある。このプロセス工程によって、最終的な金属ゲート材料を受け入れる準備が整ったゲート鋳型104が得られる。

【0081】図14は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Jの断面図である。

【0082】図14に示すように、高k誘電材料は、高k誘電層106として、典型的には、鋳型104の側壁および下面上にコーティングされる。高kゲート誘電体は、任意の最新技術によるプロセス、例えば、スパッタリング、化学気相堆積(CVD)または原子層化学気相堆積(ALCVD)を用いて堆積され得る。高kゲート誘電体には、高誘電率材料、例えば、酸化タンタル(Ta_2O_5)、酸化チタン(TiO_2)、酸化ジルコニウム(ZrO_2)、酸化ランタン(La_2O_3)、酸化ハフニウム(HfO_2)、酸化イットリウム(Y_2O_3)、およびこれらのケイ酸塩、または他の類似の材料が含まれ得る。

【0083】このような高k誘電層106の堆積後、その上に金属薄層108が堆積される。典型的には、金属薄層108は、高k誘電層106を通る金属拡散に対する障壁として機能するかまたは素子の「ターンオン」閾値電圧を調節するように機能する。金属薄層108としては、Ti、Ta、W、またはこれらの窒化物、ケイ化物、または三元窒化物/ケイ化物、または他の金属を含み得る。任意の最新技術によるプロセス、例えば、CVDまたはALCVDが用いられて、金属薄層108が堆積され得る。一部の適用例においては、金属薄層108が必要ではない場合もある。

【0084】図15は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Kの断面図である。

【0085】図15に示すように、デバイス構造70J上に、金属層110となる金属ゲート材料を堆積する。金属層110には、Pt、W、TiN、Cu、Ir、Ti、Zr、Hf、Ta、Ta₂N、WNおよび/またはAl、または、任意の他の適切な材料が含まれ得、任意の公知のプロセスによって堆積され得る。堆積された金属層110の厚さは、典型的には、ゲート鋳型領域が金属材料によって完全に充填されるように、ゲート鋳型104の深さより厚い。

【0086】図16は、本発明のMOSトランジスタの製造方法の他の実施形態を示す処理完了後のデバイス構造70Lの断面図である。

【0087】図16に示すように、素子の化学機械的研磨後、本プロセス工程によって、金属層110の過剰な金属ゲート材料、金属薄層108の過剰な障壁金属層材料、および高k誘電層106の過剰な高k誘電材料が順次除去され、酸化物のところで除去処理が停止され、デ

14

バイス構造70Lの上面が平坦化される。これで、このデバイス構造70Lにおいて、当該技術において公知であるコンタクトホール(ソース領域およびドレイン領域との接続用)を製造する準備が整う。

【0088】以上により、上記各実施形態によれば、ダミー置換ゲートを堆積する工程と、素子を高温処理にかける工程と、ダミーゲートを除去する工程と、その後、ゲート領域内に、ゲート誘電体層となる誘電体材料および最終的なゲート材料を堆積する工程とを有するため、ゲート誘電体層となる誘電体材料が素子の高温処理後に堆積されることから、誘電体材料に拡散するゲルマニウムは無視できる量となり、ゲート誘電体層へのゲルマニウムの拡散を大幅に低減するかまたは防止することができる。

【0089】なお、以上により、集積回路に用いる酸化金属半導体(MOS)トランジスタおよびその製造方法、より具体的には、ゲート誘電材料へのゲルマニウムの拡散を最小限に抑えるように、素子の高温処理後に行われるゲート置換プロセスを得ることができる。素子の好適な構造および製造方法が開示したが、添付の特許請求の範囲に記載の本発明の範囲から逸脱することなく、さらなる変形および改変が為され得ることが理解されるべきである。

【0090】

【発明の効果】以上により、本発明によれば、ゲート誘電体層となる誘電体材料が素子の高温処理後に堆積されるため、誘電体材料に拡散するゲルマニウムは無視できる量となり、ゲート誘電体へのゲルマニウムの拡散を大幅に低減するかまたは防止することができる。

【図面の簡単な説明】

【図1】本発明のMOSトランジスタの製造方法の一実施形態を示す処理途中のデバイス構造10Aの断面図である。

【図2】本発明のMOSトランジスタの製造方法の一実施形態を示す処理途中のデバイス構造10Bの断面図である。

【図3】本発明のMOSトランジスタの製造方法の一実施形態を示す処理途中のデバイス構造10Cの断面図である。

【図4】本発明のMOSトランジスタの製造方法の一実施形態を示す処理完了後のデバイス構造10Dの断面図である。

【図5】図4のMOSトランジスタの製造方法の各工程を示すフローチャートである。

【図6】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Aの断面図である。

【図7】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Bの断面図である。

15

【図8A】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Cの断面図である。

【図8B】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Dの断面図である。

【図9】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Eの断面図である。

【図10】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Fの断面図である。

【図11】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Gの断面図である。

【図12】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Hの断面図である。

【図13】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Iの断面図である。

【図14】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Jの断面図である。

【図15】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理途中のデバイス構造70Kの断面図である。

【図16】本発明のMOSトランジスタの製造方法の他の実施形態を示す処理完了後のデバイス構造70Lの断面図である。

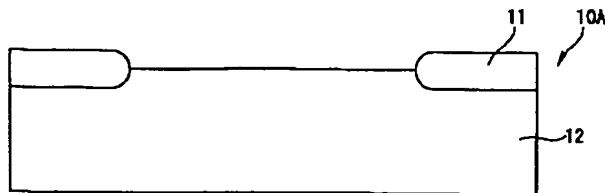
【符号の説明】

16

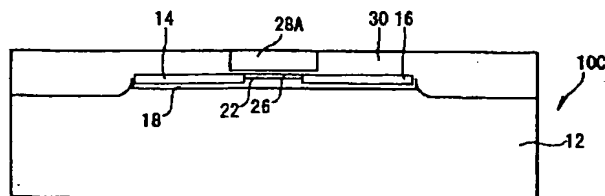
*10A~10D, 70A~70L デバイス構造

- 11 酸化物層
- 12 n-シリコン基板
- 18 エピタキシャル $\text{Si}_{1-x}\text{Ge}_x$ 合金層
- 22 シリコンキャップ層
- 26 ダミーゲート酸化物層
- 28 ダミーゲート層
- 28A ダミーゲート
- 30 酸化物層
- 32 ゲート誘電体層
- 34 金属ゲート層
- 72 Si基板
- 74 SiGeエピタキシャル層
- 76 シリコンキャップ層
- 78 ゲート酸化物層
- 80 ダミーポリシリコン層
- 82 ゲートフォトレジスト
- 84 PECVD酸化物層
- 86 HDP酸化物層
- 88 ゲート領域
- 90 酸化物層
- 92 第2のダミーゲート層
- 94 ゲート層
- 96 スペース
- 98 ソース領域
- 100 ドレイン領域
- 102 カバー酸化物層
- 104 ゲート鑄型
- 106 高k誘電層
- 108 金属薄層
- 110 金属層

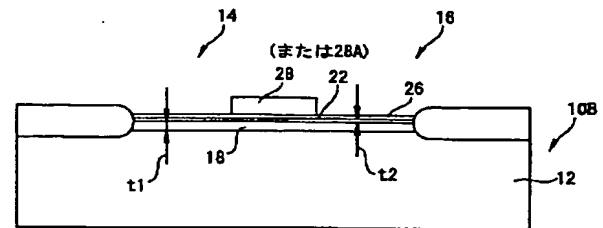
【図1】



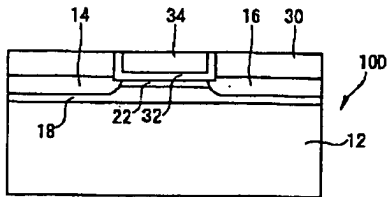
【図3】



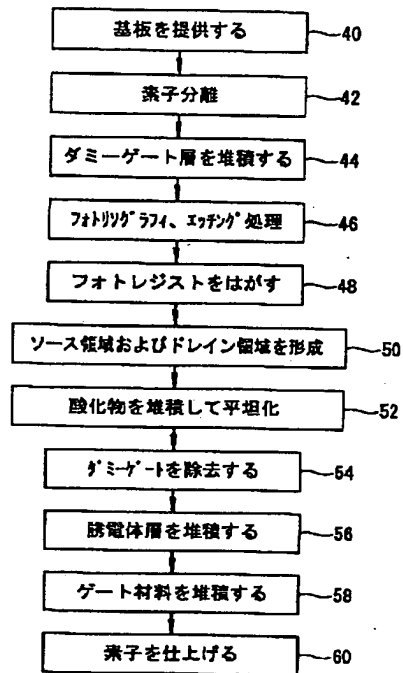
【図2】



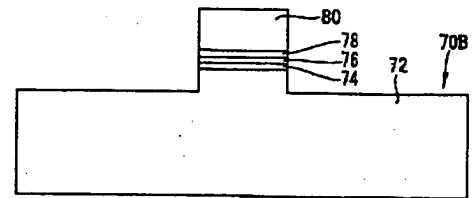
【図4】



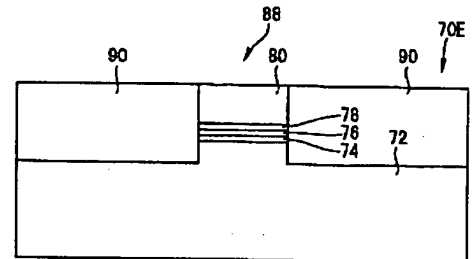
【図5】



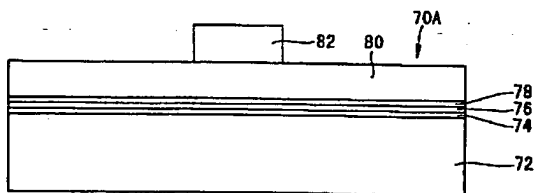
【図7】



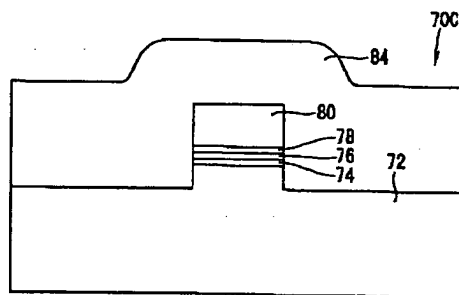
【図9】



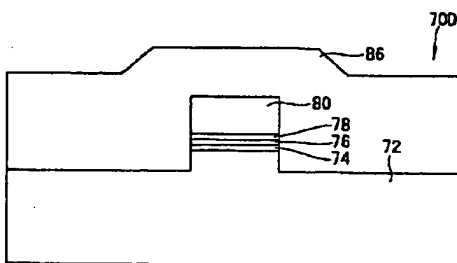
【図6】



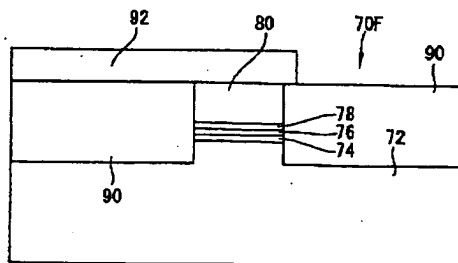
【図8A】



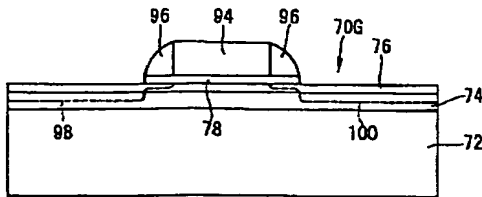
【図8B】



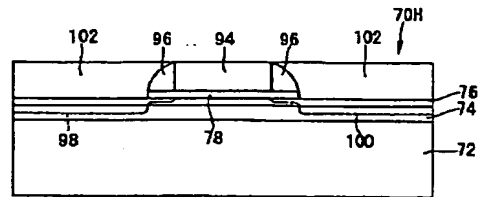
【図10】



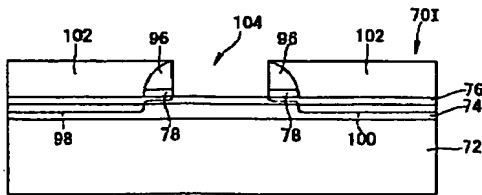
【図11】



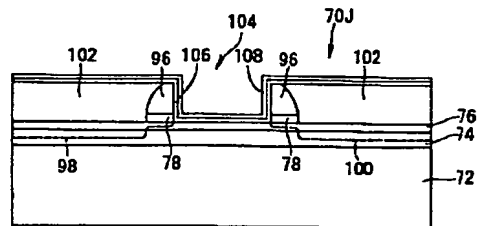
【図12】



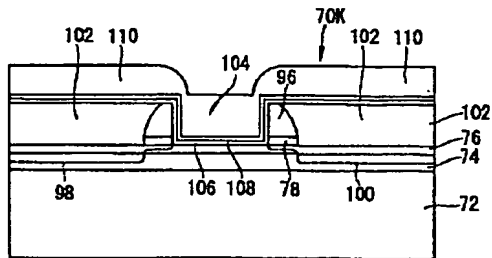
【図13】



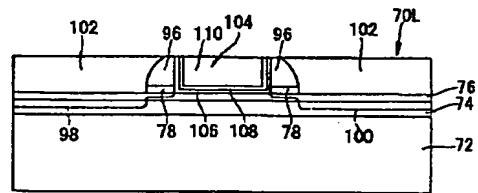
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 ダグラス ジェームス トゥワイト
アメリカ合衆国 ワシントン 98607,
ケイマス, エヌ. ダブリュー. ダーリ
ア ドライブ 3521

(72)発明者 デビット ラッセル エバンス
アメリカ合衆国 オレゴン 97007, ビ
ーパートン, エスダブリュー 179ティ
ーエイチ ストリート 7574

Fターム(参考) 4M104 AA01 AA03 BB02 BB04 BB06
BB13 BB14 BB17 BB18 BB30
BB32 BB33 CC05 GG09 GG10
GG14
5F140 AA00 AA01 AC01 AC28 BA01
BA05 BA17 BB18 BC12 BD11
BD12 BE09 BE10 BF07 BF08
BF10 BF11 BF15 BF17 BF20
BG02 BG03 BG04 BG08 BG36
BG40 BH15 CB01 CB04 CB08
CC03 CC12 CE07

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)